

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁵
H01L 21/60

(11) 공개번호 : 목1994-0016642
(43) 공개일자 : 1994년07월23일

(21) 출원번호	특 1993-0027128
(22) 출원일자	1993년 12월 09일
(30) 우선권주장	92-351916 : 1992년 12월 09일 일본(JP) 93-23289 : 1993년 1월 18일 일본(JP)
(71) 출원인	가부시키가이샤 한도오따이 에네루기 켄큐쇼 야마자키 순페이 일본국 가나가와현 아쓰기시 하세 398 미야자키 다노루
(72) 발명자	일본국 가나가와현 미세하라시 하가시-나 루체 4-2-2-307 무라카미 이카네 일본국 가나가와현 아쓰기시 하세 304-1 들렛 쉘-빌 306 츄 바오준 일본국 가나가와현 야마토시 후카미타미 1-10-15 파레스미야가미 302 야마모토 무즈오 일본국 가나가와현 미세하라시 미시다 648 오사미 하이프 101 함의민
(74) 대리인	

심사항구 : 잊음

(54) 전자회로

요약

본 발명은 절연기판상에 형성되고, 반도체층을 포함하는 박막트랜지스터를(TFTs)을 갖는 전자회로에 관한 것이다. 반도체층의 두께는 1500Å 이하, 예로 100 내지 750Å이다. 주로 티타늄 및 알루미늄으로 구성되는 제 1 층이 반도체층 위에 형성되어 있다. 알루미늄으로 구성되는 제 2 층은 제 1 층의 상부에 형성되어 있다. 제 1 및 제 2 층을 전도성 인터커넥트로 패터닝되어 있다. 제 2 층의 바깥면은 실질적으로 완전히 제 1 층과 밀접히 접촉해 있다. 상기 인터커넥트는 반도체층과 양호한 접촉을 갖는다.

ORF

٤٧

장남

【발명의 명칭】

전자회로

[도면의 간단한 설명]

제7(A) 내지 7(H)도는 본 발명에 따른 TFT의 단면도로서 이것은 TFT가 제조되는 순서를 예시한다.
제8(A) 내지 8(C)도는 본 발명에 따른 TFTs의 단면도로서 소스 또는 드레인의 접촉을 예시한다.

본 내용은 외부공개 건이므로 전문내용을 수록하지 않았음

(5) **성구의 범위**

항구항 1. 1500A 이하의 두께를 갖고 규소를 포함하는 반도체막; 상기 반도체막과 접촉하고, 티타늄 질소를 포함하는 제 1 층; 상기 제 1 층과 접촉하고 알루미늄을 포함하는 제 2 층을 포함하는 전자회로

연구항 2. 제 1 항에 있어서, 상기 반도체막이 N 또는 P-형 전도성을 갖는 전지회로.

형구항 3. 제 1 항에 있어서, 상기 반도체막이 100 내지 750 Å 사이의 두께를 갖는 전자회로.

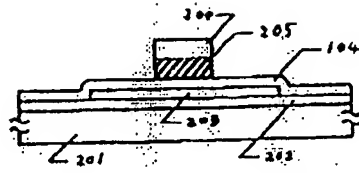
정구항 4. 제 1 항에 있어서, 상기 반도체막 아래에 위치하고, 상기 반도체막과 접촉해 있는 제 3 층을 포함하고, 상기 반도체막과 상기 제 3 층이 공동의 불순물로 도핑된 전자회로.

정구함 5. 제 1 항에 있어서, 상기 제 1 층이 전도성 산화물로된 막과 접속된 전자회로.

- 청구항 6. 제 1 항에 있어서, 상기 제 1 층 및 제 2 층이 외부 단자와 연결되어 있는 전도성 인터커넥트를 구성하는 전자회로.
- 청구항 7. 제 1 항에 있어서, 상기 제 1 층에서의 질소 원자의 수대 티타늄 원자의 수의 비가 0.5 내지 1.2인 전자회로.
- 청구항 8. 제 1 항에 있어서, 상기 제 2 층이 200 내지 5000 Å의 두께를 갖는 전자회로.
- 청구항 9. 제 5 항에 있어서, 상기 전도성 산화물이 산화인듐 주석(indium tin oxide), 산화마연 및 산화 니켈로 구성되는 그룹으로부터 선택된 물질을 포함하는 전자회로.
- 청구항 10. 1500 Å 이하의 두께를 갖고 규소를 포함하는 반도체막; 상기 반도체막과 접촉하고, 규소 및 티타늄을 포함하는 제 1 층; 상기 제 1 층과 접촉하고 티타늄 및 질소를 포함하는 제 1 층; 상기 제 2 층과 접촉하고 알루미늄을 포함하는 제 3 층을 포함하고, 상기 제 1, 제 2 및 제 3 층이 전도성 인터커넥트를 구성하는 전자회로.
- 청구항 11. 제 10항에 있어서, 상기 반도체막이 N 또는 P형 전도성을 갖는 전자회로.
- 청구항 12. 제 10항에 있어서, 상기 제 3 층이 2000 내지 5000 Å의 두께를 갖는 전자회로.
- 청구항 13. 제 10항에 있어서, 상기 반도체막이 100 내지 750 Å 사이의 두께를 갖는 전자회로.
- 청구항 14. 제 10항에 있어서, 상기 반도체막 아래에 위치하고, 상기 반도체막과 접촉해 있는 제 4 층을 추가로 포함하고, 상기 반도체막과 상기 제 4 층이 공통의 불순물로 도핑된 전자회로.
- 청구항 15. 제 10항에 있어서, 상기 전도성 인터커넥트가 외부단자에 접속된 전자회로.
- 청구항 16. 1500 Å 이하의 두께를 갖고 규소를 포함하는 반도체막; 상기 반도체막과 접촉해 있고, 티타늄 및 질소를 포함하는 제 1 층; 상기 제 1 층과 접촉해 있고 티타늄 및 질소를 포함하는 제 2 층; 및 상기 제 2 층과 접촉해 있고 알루미늄을 포함하는 제 3 층을 포함하고, 상기 제 1, 제 2 및 제 3 층이 전도성 인터커넥트를 구성하고, 상기 제 1 층내의 티타늄 대 질소의 비가 상기 제 2 층내의 티타늄 대 질소의 비 보다 큰 전자회로.
- 청구항 17. 제 16 항에 있어서, 상기 반도체막이 N 또는 P형 전도성을 갖는 전자회로.
- 청구항 18. 제 16 항에 있어서, 상기 반도체막이 100 내지 750 Å의 두께를 갖는 전자회로.
- 청구항 19. 제 16 항에 있어서, 상기 제 3 층이 2000 내지 5000 Å 두께를 갖는 전자회로.
- 청구항 20. 제 16 항에 있어서, 상기 반도체막 아래에 위치하고, 상기 반도체막과 접촉해 있는 제 4 층을 추가로 포함하고, 상기 반도체막 및 제 4 층이 공통의 불순물로 도핑된 전자회로.
- ※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

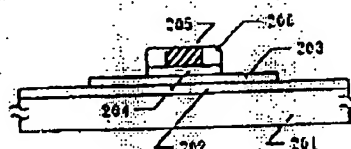
도 17



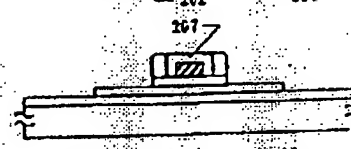
(A)



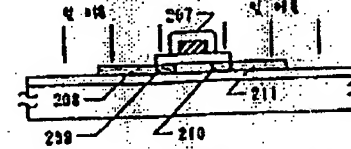
(B)



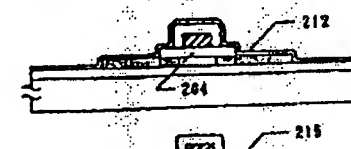
(C)



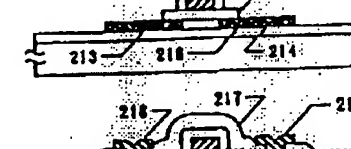
(D)



(E)



(F)

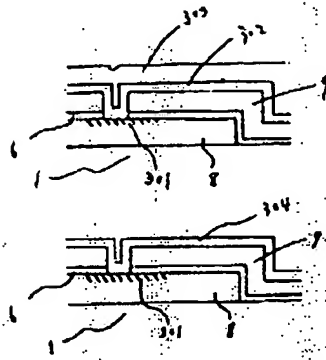


(G)



(H)

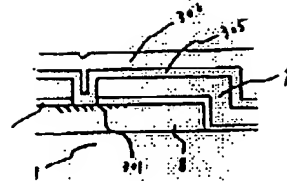
508



(A)

(C)

(B)



4-4

BEST AVAILABLE COPY